

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—28327

⑤ Int. Cl.³
H 01 L 21/20
21/84
// H 01 L 27/00
29/78
31/04

識別記号

庁内整理番号
7739—5F
7739—5F
8122—5F
7377—5F
7021—5F

⑬ 公開 昭和59年(1984) 2月15日

発明の数 2
審査請求 未請求

(全 5 頁)

⑭ 単結晶半導体膜形成法

⑯ 特 願 昭57—137392

⑰ 出 願 昭57(1982) 8月9日

⑱ 発 明 者 森英史

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信

研究所内

⑲ 発 明 者 池田正宏

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑳ 出 願 人 日本電信電話公社

㉑ 代 理 人 弁理士 谷義一

明 細 書

1. 発明の名称

単結晶半導体膜形成法

2. 特許請求の範囲

- 1) 非晶質基板上に結晶成長する半導体と共晶または化合物となる金属を約 60° の倍数の角
度の頂角をもつ多角形の繰返し図形状に形成
する工程と、しかる後に、前記図形状の金属
を有する基板上に半導体材料を堆積させて単
結晶半導体膜を成長させる工程とを具えたこ
とを特徴とする単結晶半導体膜形成法。
- 2) 非晶質基板上に結晶成長する半導体と共晶
または化合物となる金属を約 60° の倍数の角
度の頂角をもつ多角形の繰返し図形状に形成
する工程と、しかる後に、前記図形状の金属
を有する基板上に半導体材料を堆積させて単
結晶半導体膜を成長させる工程と、その後、
金属を除去する工程と、前記単結晶半導体膜

上に新たな単結晶半導体膜をエピタキシャル
成長させる工程とを具えたことを特徴とする
単結晶半導体膜形成法。

- 3) 特許請求の範囲第1項または第2項に記載
の単結晶半導体膜形成法において、前記半導
体はシリコンであることを特徴とする単結晶
半導体膜形成法。

- 4) 特許請求の範囲第1項ないし第3項のいず
れかの項に記載の単結晶半導体膜形成法にお
いて、前記繰返し形状は正三角形であること
を特徴とする単結晶半導体膜形成法。

- 5) 特許請求の範囲第1項ないし第3項のいず
れかの項に記載の単結晶半導体膜形成法にお
いて、前記繰返し形状は 60° と 120° の頂角を
有する平行四辺形であることを特徴とする単
結晶半導体膜形成法。

- 6) 特許請求の範囲第1項ないし第5項のいず
れかの項に記載の単結晶半導体膜形成法にお
いて、前記半導体材料の堆積は前記半導体と
前記金属との共晶温度以上で行うことを特徴

とする単結晶半導体膜形成法。

3. 発明の詳細な説明

本発明は、単結晶半導体膜形成法、特にガラスなどの非晶質基板上にシリコンなどの半導体材料の単結晶膜を成長させる方法に関するものである。

従来、非晶質基板上にシリコン単結晶を成長させる方法としてはグラフトエピタキシ法が知られている(M. W. Gels, D. C. Flanders and H. I. Smith, Applied Physics Letter 第35巻第71頁(1979年))。この方法では、非晶質絶縁基板上にピッチ $3\mu\text{m}$ で深さ 100nm 程度の溝をグレーティング状に刻み、その上に化学気相堆積(CVD)法により非晶質シリコンを堆積した後にレーザアニール法により非晶質シリコンを結晶化させる。ここで、基板上に切刻した溝により結晶化する際の結晶方位を制御している。

しかしながら、かかる方法では、結晶性を向上させるためにアニールのレーザ出力を増加させると、上述した溝の断面形状が熱により矩形から変

エッチング等が使用されるが、理想的な断面形状をもつ溝を形成するのは非常に困難であるため、結晶性の向上には限界があつた。

そこで、本発明の目的は、結晶性のよい単結晶半導体薄膜を形成する方法を提供することにある。

本発明の他の目的は、製造が容易な単結晶半導体薄膜を形成する方法を提供することにある。

本発明の更に他の目的は、低温で製造できる単結晶半導体薄膜を形成する方法を提供することにある。

かかる目的を達成するために、本発明の第1の形態では、平面非晶質基板上に結晶成長すべき半導体と共晶または化合物となる金属を 40° の整数倍の角度の頂角をもつ多角形の繰返し図形に形成し、その図形状金属を有する基板の上に半導体材料を堆積させて単結晶半導体薄膜を形成する。

本発明の第2の形態では、平面非晶質基板上に結晶成長すべき半導体と共晶または化合物となる金属を 40° の整数倍の角度の頂角をもつ多角形の繰返し図形に形成し、その図形状金属を有する基

形してしまうので良い結晶が得られないという欠点があつた。また、結晶化の際に保護膜(SiO_2 や Si_3N_4)が必要なので工程上複雑であるという欠点もあつた。

以上の欠点を解決するため、森, Japanese Journal of Applied Physics 第20巻 L905 ~ L908 頁(1981年)や特開昭57-10228号には、第1図に示すように、 Au などシリコンと低温で共晶反応を起す金属を溝Jを刻んだ石英基板1の全面上に堆積して金属膜Jを形成した後、この金属膜J上に低温でシリコン単結晶を成長させる方法が示されている。

しかしながら、森らの方法では、 $\langle 111 \rangle$ が基板に垂直な方向に配向する性質を持つため、単結晶膜を得るためには第1図に示すように、基板1上の溝Jを 109.5° の角度を持つように精密に加工する必要がある、また溝同士が 60° で交差するように溝Jを形成する必要があり、このためプロセスが複雑になる欠点があつた。

また、溝Jの加工には、リアクティブスパッタ

板の上に半導体材料を堆積させて単結晶半導体膜を成長させ、次いで金属を除去してから、単結晶半導体膜上に新たな単結晶半導体膜をエピタキシャル成長させる。

ここで、半導体としてはシリコンを用いることができる。繰返し図形としては、例えば正三角形あるいは 60° と 120° の頂角を有する平行四辺形とすることができる。

本発明の好適例では、半導体材料の堆積を半導体と金属との共晶温度以下で行う。

以下に図面を参照して本発明を詳細に説明する。

第2A図~第2F図は本発明方法の順次の工程の一実施例を示し、第2A図に示すような基板、例えば石英ガラス基板11上に単結晶を成長させるべき半導体と共晶または化合物となる金属膜12、例えば半導体がシリコンの場合には例えば金膜12を蒸着法等で厚さ、例えば 1000\AA に形成して第2B図に示す構造を得る。

この構造の上に所定形状のレジストパターン13を形成して第2C図に示す構造を得た後、このレ

ジストパターン13をマスクとして金膜12をスパッタエッチ法等でエッチングして約 40° の整数倍の角度を頂角に持つ多角形の繰返し図形の金属（ここでは金）パターン14を形成して第2D図の構造を得る。

ここでは金パターン14の形状は、第J図に示すように、 40° と 120° の頂角を有し、対向する辺の間の距離が $1\mu\text{m}$ のひし形とし、かかるひし形金パターン14のピッチは $1.2\mu\text{m}$ とした。

ところで、第2D図の構造を得るためには、第2B図および第2C図の処理の他に、リフトオフを利用する方法を用いてもよい。すなわち、基板11上に、例えば厚さ $0.7\mu\text{m}$ のレジストパターン15を所定形状に形成して第4A図の構造を得る。次いで、この構造の上にレジストパターン15より薄い厚さに金膜16を蒸着法等で堆積して第4B図の構造を得る。その後、アセトン等によりレジストパターン15と共にレジストパターン15上の金膜16をリフトオフ処理により除去して第2D図のような金パターン14を有する構造を得る。

成する。蒸着が進行すると、過剰のシリコンは基板11上に符号18で示すように析出し始める。この析出において、析出シリコン18の結晶は基板11に対して垂直方向に $\langle 111 \rangle$ に配向し、金パターン14の形状により基板11に対して水平方向の結晶方位が揃うので、単結晶シリコン膜19が基板11上に形成される。金はこの単結晶シリコン膜19上に移送されて $\text{Si}-\text{Au}$ 共晶合金の薄膜20となり、第2F図の層構造が得られる。このときの単結晶シリコン膜19の膜厚は 2000\AA であつた。

このようにして得られた第2F図の層構造をエレクトロンマイクロプローブ分析法により深さ方向に元素分析を行つてみると、基板11の端から上方に向つてシリコン層19があり、そのシリコン層19の上に $\text{Si}-\text{Au}$ 共晶合金層20のあることが確認された。また、単結晶シリコン膜19に対して、透過電子回折法によりその結晶性を調べた結果、第5図に示すように基板に対して垂直方向に $\langle 111 \rangle$ 軸の単結晶が形成されていることが確認された。

なお、第2F図の構造において、 $\text{Si}-\text{Au}$ 共晶合

第2D図示の金パターン構造を得る際のレジストパターン13または15を形成するにあつては次のような方法を用いることができる。まず、石英ガラス基板11上にレジスト（たとえばシプレー社製AZ1350J）を塗布し、次にたとえば $\text{He}-\text{Cd}$ レーザー等からのレーザー光を重畳干渉させた状態で上記レジストをグレーティング状に露光する。次に基板11を 40° 回転し、同様に重畳干渉させたレーザー光を照射し、前記グレーティング状の露光を重ねて他のグレーティング状の露光を行う。次に、現像処理を行うと、重なつて露光した部分のレジストがひし形状に除去され、所定形状のレジストパターン13または15が形成される。

次に、第2D図示の金パターンを有する基板をシリコンと金との共晶点温度よりも高い温度、たとえば 380°C に加熱した状態で、第2B図のように半導体材料としてシリコン Si を数 $\text{\AA}/\text{sec}$ 、例えば $3\text{\AA}/\text{sec}$ の蒸着速度でかかる基板11の全表面に蒸着する。蒸着されたシリコンは順次に金と反応し、ある濃度で金中に溶解して $\text{Si}-\text{Au}$ 共晶合金17を形

成する。金層20は必要に応じて除去すればよい。

ところで、金パターン14の平面形状を、約 40° の整数倍の角度を頂角に持つ多角形とすると、単結晶シリコンが成長できるのは次のような理由によるものと推察される。すなわち、蒸着されたシリコンは金と反応して合金を作るが、共晶温度以上に基板11が保たれているため、かかる $\text{Si}-\text{Au}$ 合金は熔融状態となる。シリコン蒸着の進行により、遂には、 $\text{Si}-\text{Au}$ 合金中にシリコン結晶が析出する。析出した結晶は、基板面に平行に $\langle 111 \rangle$ 面が配向するため、正三角形となり、その基板面内での方位は結晶が $\text{Si}-\text{Au}$ 溶融合金から受ける表面張力を最小とするように配向する。

従つて、金パターン14の形状は必ずしも上述した実施例にのみ限定されるものではなく、最も単純なパターンは第6図に示すような正三角形の繰返しパターンである。その他にも、第7図に示すパターンなど種々の変形例があり、また、多角形の頂角についても、その角度を 40° またはその整数倍に正確に定めなくてもよい。

以上の実施例では、金属膜として、金を用いたが、その他、アルミニウム、銀、銅、白金、ニッケル、パラジウム、ガリウム、インジウムなどのようにシリコンと共晶または化合物を作るものであればいかなるものでもよい。

基板加熱の温度は、半導体を基板上に析出させるため、共晶温度または化合物生成温度程度またはそれ以上の温度であることが必要である。

また、本実施例では、シリコンを供給するために蒸着法を用いたが、その他、化学気相堆積法(CVD)、スパッタリング法、プラズマCVD法等を用いてもよい。

更に、シリコン供給時に不純物をも同時に供給すれば、不純物を含む結晶を成長させることもできる。

結晶性のよいシリコンを成長させるためには、金属膜の厚さは数百Å以上であればよい。さらに加えて、繰り返し形状の金属パターンを形成した後、その全面に上述の金属パターンが転写される程度の厚さ、たとえば500Å程度以下の厚さで同

種の金属を均一に付着させ、しかる後にシリコンを付着させてもよい。

さらに今まで述べた方法で成長させた結晶膜上に通常のシリコンエピタキシャル法により高純度シリコン結晶膜を成長させることができるのはいうまでもない。

金属膜パターンの繰り返しピッチについては数+μm以下であればよく、好ましくは1〜3μm程度とする。

また、基板としては、石英ガラスの他に、通常のガラス、 Si_3N_4 やステンレスなどの金属基板を用いてもよい。

以上説明したように、本発明では、金属とシリコンとの合金より結晶を析出させ、その結晶の配向を金属膜の繰り返し、パターンの形状により制御して単結晶シリコン膜を形成するので、平面基板上でも単結晶膜が得られる。さらに、また、本発明では、共晶温度が低いので低温で結晶を成長させることができ、従つて、ソーダガラスやパイレックスなど安価なガラスを使用できる。

以上より、本発明は、低価格の太陽電池をはじめとして、薄膜トランジスタや三次元LSI等の製造に有効である。

4. 図面の簡単な説明

第1図は従来の単結晶膜の形成法の説明図、第2A図〜第2F図は本発明における順次の工程の一実施例を示すそれぞれ断面図、第3図はその繰り返し金属パターンを示す線図、第4A図および第4B図はリフトオフ法で金属パターンを形成する工程を説明するためのそれぞれ断面図、第5図は本発明により成長した結晶の構造を示す電子回折写真、第6図および第7図は繰り返し金属パターンの他の2例を示す線図である。

- 1…石英基板、
- 2…溝、
- 3…金属膜、
- 11…非晶質基板、
- 12…金属、
- 13…レジストパターン、

- 14…繰り返し金属パターン、
- 15…レジストパターン、
- 16…金属、
- 17… $Si-Au$ 共晶合金、
- 18…析出シリコン結晶、
- 19…単結晶シリコン膜、
- 20… $Si-Au$ 共晶合金層。

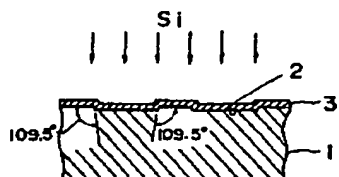
特許出願人 日本電信電話公社

代理人弁理士

谷 嶋 一



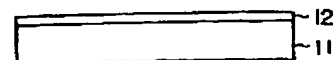
第 1 図



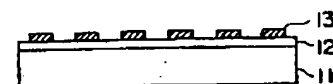
第 2 A 図



第 2 B 図



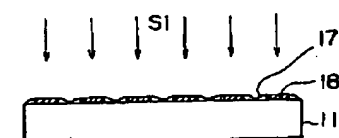
第 2 C 図



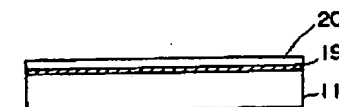
第 2 D 図



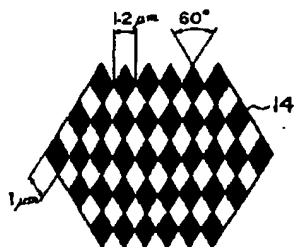
第 2 E 図



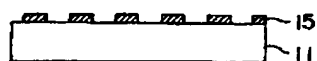
第 2 F 図



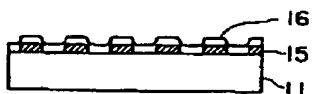
第 3 図



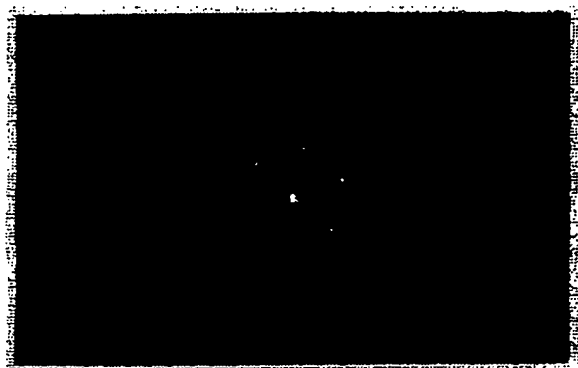
第 4 A 図



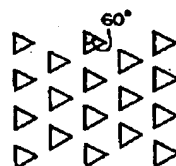
第 4 B 図



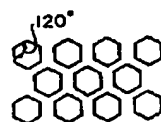
第 5 図



第 6 図



第 7 図



DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01316727 **Image available**

FORMING METHOD OF SINGLE CRYSTAL SEMICONDUCTOR FILM

PUB. NO.: 59-028327 [JP 59028327 A]

PUBLISHED: February 15, 1984 (19840215)

INVENTOR(s): MORI HIDEFUMI

IKEDA MASAHIRO

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 57-137392 [JP 82137392]

FILED: August 09, 1982 (19820809)

INTL CLASS: [3] H01L-021/20; H01L-021/84; H01L-027/00; H01L-029/78;
H01L-031/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 247, Vol. 08, No. 115, Pg. 9, May 29,
1984 (19840529)

ABSTRACT

PURPOSE: To obtain a single crystal Si film at a low temperature on a glass substrate of low cost by such an arrangement wherein when crystals composed of an alloy of Au and Si are caused to educe on an amorphous substrate, the orientation of crystals is controlled by the repetitive patterns of Au film.

CONSTITUTION: On a quartz glass substrate 11, a film of Au 12 which forms eutectic crystal with Si is caused to adhere thereto, a resist film of specific pattern 13 is provided thereon, and spatter etching is processed on exposed parts of the film 12 and a repetitive pattern of polygon 14 having a vertical angle which is a multiple of about 60-deg. is obtained. Here, the pattern 14 shall be a trapezoid having vertical angles of 60 deg. and 120 deg. and the distance between opposing sides shall be approximately 1.mu.m, and pitch shall be approximately 1.2.mu.m. Next, the substrate 11 is heated up to a temperature higher than the eutectic temperature of Si and Au, and Si is caused to adhere by evaporation, and eutectic alloy of Si-Au is caused to generate between patterns 14, and single crystal Si layer 19 is caused to generate of which crystal direction is aligned, by using surplus Si 18 adhered to the pattern 14. At the same time, Au is moved from the alloy 17 and the desired Si-Au thin film 20 is obtained.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003932075

WPI Acc No: 1984-077619/198413

XRAM Acc No: C85-091561

XRPX Acc No: N85-157838

Formation of crystal films esp. semiconductor mono-films - by pptn. from
eutectic film formed by deposition onto patterned layer of
eutectic-forming metal

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE)

Number of Countries: 002 Number of Patents: 002

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| JP 59028327 | A | 19840215 | JP 82137392 | A | 19820809 | 198413 B |
| US 4534820 | A | 19850813 | US 82434536 | A | 19821015 | 198535 |

Priority Applications (No Type Date): JP 82137392 A 19820809; JP 81166950 A
19811019

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-------------|------|--------|----------|--------------|
| JP 59028327 | A | 10 | | |

Abstract (Basic): JP 59028327 A

Crystalline film is formed by: depositing a thin film of metal
which forms a eutectic with material to be crystallised, on a planar
amorphous or metal substrate, patterning the film with periodic relief
having the same rotation symmetry as the axis of the crystal face which
is to be grown parallel to the surface; heating the assembly to a temp.
above the eutectic temp.; and depositing the material to be
crystallised at elevated temp. so that the desired crystalline film is
deposited on the substrate from the eutectic.

USE/ADVANTAGE - In deposition of Si, Ge, GaAs, GaP, GaAsP and InP
semiconductor crystal films (claimed), for mfr. of glass waveguide
devices, solar cells ICs etc. High quality, uniform films are on
low-cost glass substrates deposited in a simple, relatively low temp.
method. (First major country equivalent to J59028327-A)

Title Terms: FORMATION; CRYSTAL; FILM; SEMICONDUCTOR; MONO; FILM;
PRECIPITATION; EUTECTIC; FILM; FORMING; DEPOSIT; PATTERN; LAYER;
EUTECTIC ; FORMING; METAL

Derwent Class: L03; U11

International Patent Class (Additional): C30B-003/00; C30B-025/04;

H01L-021/20; H01L-027/00; H01L-029/78; H01L-031/04

File Segment: CPI; EPI